

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075041

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

H01L 27/092
H01L 29/784

(21)Application number : 03-258393

(71)Applicant : SONY CORP

(22)Date of filing : 10.09.1991

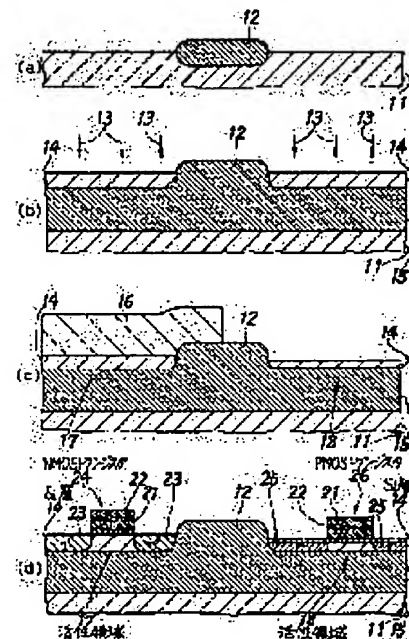
(72)Inventor : NISHIHARA TOSHIYUKI

(54) CMOS SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the generation of a punch-through even in both an NMOS transistor and a PMOS transistor, and to enable the increase of density by shortening a channel.

CONSTITUTION: An Si layer 14 as the active region 18 of a PMOS transistor 26 is made thinner than an Si layer 14 as the active region 17 of an NMOS transistor 24. Accordingly, P-type impurities are introduced into the Si layer 14 as the active region 18 of the PMOS transistor 26 in order to adjust the threshold voltage of the PMOS transistor 26, and the controllability of a gate electric field in a channel region is improved because the Si layer 14 is thinned even when the impurity concentration of the Si layer 14 is lowered, thus preventing the generation of a punch-through even in the PMOS transistor 26.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-75041

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵

H 0 1 L 27/092

29/784

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M

8225-4M

H 0 1 L 27/ 08

29/ 78

3 2 1 B

3 0 1 C

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平3-258393

(22)出願日 平成3年(1991)9月10日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 西原 利幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

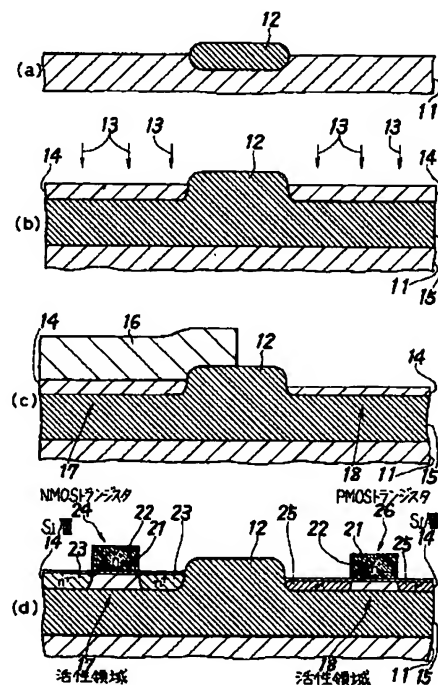
(74)代理人 弁理士 土屋 勝

(54)【発明の名称】 CMOS半導体装置

(57)【要約】

【目的】 NMOSトランジスタ及びPMOSトランジスタの何れにおいてもパンチスルーを生じにくくして、短チャネル化による高密度化を可能にする。

【構成】 PMOSトランジスタ26の活性領域18になっているSi層14が、NMOSトランジスタ24の活性領域17になっているSi層14よりも薄い。このため、PMOSトランジスタ26の閾値電圧を調整するために、PMOSトランジスタ26の活性領域18になっているSi層14にp型不純物を導入して、Si層14の不純物濃度が低くなっても、このSi層14が薄いので、チャネル領域におけるゲート電界の支配性が高く、PMOSトランジスタ26でもパンチスルーが生じにくい。



【特許請求の範囲】

【請求項1】 NMOSトランジスタの活性領域になっている半導体層よりも薄い半導体層が活性領域になっているPMOSTランジスタを少なくとも一部に有しているCMOS半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、NMOSTランジスタとPMOSTランジスタとを有するCMOS半導体装置に関するものである。

【0002】

【従来の技術】 p型不純物であるボロンを導入した多結晶Si膜をMOSTランジスタのゲート電極に用いると、ボロンは拡散係数が大きいので、このボロンがゲート酸化膜を突き抜けてチャネル領域に達し易い。このため、CMOS半導体装置では、NMOSTランジスタ及びPMOSTランジスタの何れのゲート電極にも、n型不純物を導入した多結晶Si膜を用いるのが通常である。

【0003】 ところで、p型の半導体層を活性領域としゲート電極がn型であるNMOSTランジスタでは、半導体層の表面がn型化され易く、閾値電圧が低くなり過ぎる。そこで、閾値電圧を調整するために、半導体層にp型不純物を導入している。この結果、半導体層のp型不純物の濃度が高くなるので、NMOSTランジスタでは、短チャネル化してもパンチスルーが生じにくい。

【0004】 一方、n型の半導体層を活性領域としゲート電極もn型であるPMOSTランジスタでは、半導体層の表面におけるn型不純物の濃度が高くなり過ぎて、閾値電圧が高くなり過ぎる。そこで、PMOSTランジスタでも、閾値電圧を調整するために、半導体層にp型不純物を導入している。

【0005】

【発明が解決しようとする課題】 ところが、上述の様にPMOSTランジスタの閾値電圧を調整するために半導体層にp型不純物を導入すると、半導体層のn型不純物の濃度が低くなる。このため、PMOSTランジスタでは、短チャネル化するとパンチスルーが生じ易い。従って、従来のCMOS半導体装置では、PMOSTランジスタを短チャネル化して高密度化を図ることが難しかった。

【0006】

【課題を解決するための手段】 本発明によるCMOS半導体装置は、NMOSTランジスタ24の活性領域17になっている半導体層14よりも薄い半導体層14が活性領域18になっているPMOSTランジスタ26を少なくとも一部に有している。

【0007】

【作用】 本発明によるCMOS半導体装置では、NMOSTランジスタ24の閾値電圧を調整するために、NM

OSTランジスタ24の活性領域17になっている半導体層14にp型不純物を導入すると、この半導体層14の不純物濃度が高くなる。このため、NMOSTランジスタ24でパンチスルーが生じにくい。

【0008】 一方、PMOSTランジスタ26の閾値電圧を調整するために、PMOSTランジスタ26の活性領域18になっている半導体層14にp型不純物を導入して、半導体層14の不純物濃度が低くなっても、この半導体層14が薄いので、チャネル領域におけるゲート電界の支配性が高い。このため、PMOSTランジスタ26でもパンチスルーが生じにくい。

【0009】

【実施例】 以下、SOI構造のCMOS半導体装置に適用した本発明の一実施例を、図1を参照しながら説明する。

【0010】 図1は、本実施例を製造するための工程を示している。この製造工程では、図1(a)に示す様に、不純物濃度が非常に低いn型のSiウェハ11の素子間分離領域に、LOCOS法でSiO₂層12をまず形成する。

【0011】 次に、図1(b)に示す様に、酸素イオン13を、150keV程度のエネルギーで 2×10^{18} 程度のドーズ量に、Siウェハ11の全面に注入した後、1200℃程度の温度の熱処理を加える。この結果、1500Å程度の厚さのSi層14がSiウェハ11の表面に残り、4000Å程度の厚さのSiO₂層15がSiウェハ11内に形成される。

【0012】 次に、図1(c)に示す様に、NMOSTランジスタを形成すべき領域をレジスト16で覆い、このレジスト16をマスクにしたRIEによって、PMOSTランジスタを形成すべき領域のSi層14のみを700Å程度の厚さだけエッチングする。

【0013】 この様にして、1500Å程度の厚さのSi層14でNMOSTランジスタ用の活性領域17を形成し、800Å程度の厚さのSi層14でPMOSTランジスタ用の活性領域18を形成する。

【0014】 上記の1500Å程度という値は、NMOSTランジスタのドレイン領域における接合降伏耐圧やホットキャリアに対する信頼性等から最適化される。なお、SOI構造の従来のCMOS半導体装置では、PMOSTランジスタのSi層の厚さもこの値に合わせていた。

【0015】 その後、PMOSTランジスタの閾値電圧を調整するために、レジスト16をマスクにして、活性領域18になっているSi層14にp型不純物を導入する。但し、既述の様にSiウェハ11は不純物濃度が非常に低いn型であるので、このp型不純物を導入は、必ずしも行う必要はなく、必要に応じて行えばよい。

【0016】 そして今度は、PMOSTランジスタを形成すべき領域をレジスト（図示せず）で覆い、このレジ

ストをマスクにして、活性領域17になっているSi層14にp型不純物を導入する。このp型不純物の導入は、Siウェハ11の導電型をp型にするために、高ドーズ量で行う。

【0017】次に、図1(d)に示す様に、ゲート酸化膜であるSiO₂膜21をSi層14の表面に形成し、n型の不純物をドーピングした多結晶Si膜22でゲート電極を形成する。

【0018】そして、多結晶Si膜22をマスクにして活性領域17にn型不純物を導入してn⁺層23を形成し、これらのn⁺層23をソース・ドレイン領域とするNMOSトランジスタ24を形成する。また、多結晶Si膜22をマスクにして活性領域18にp型不純物を導入してp⁺層25を形成し、これらのp⁺層25をソース・ドレイン領域とするPMOSトランジスタ26を形成して、本実施例を完成させる。

【0019】なお、PMOSトランジスタ26の駆動能力を十分に生かすには、このPMOSトランジスタ26のチャンネルをSi層14の表面から300～500Å程度の深さの埋込みチャンネルにすることが望ましい。そのためには、Si層14または多結晶Si膜22の不純物濃度を調整すればよい。

【0020】また、本実施例は、上述の製造工程からも明らかな様に、基板絶縁層であるSiO₂層15がSIOX法によって形成されたSOI構造のCMOS半導体装置に本発明を適用したものである。しかし、本発明は、SiO₂層15が基板同士の貼り合わせによって形成されたSOI構造のCMOS半導体装置等にも適用することができる。

【0021】

【発明の効果】本発明によるCMOS半導体装置では、NMOSトランジスタ及びPMOSトランジスタの何れにおいてもパンチスルーが生じにくいので、短チャネル化による高密度化が可能である。

【図面の簡単な説明】

【図1】本発明の一実施例を製造するための工程を順次に示す側断面図である。

【符号の説明】

- 14 Si層
- 17 活性領域
- 18 活性領域
- 24 NMOSトランジスタ
- 26 PMOSトランジスタ

【図1】

